

Prozesstechnik der digitalen Stromversorgungen

Konzepte für digitale Regelungen in Schaltwandlern

Seit fast einem Jahrzehnt werden Konzepte diskutiert, wie sich digitale Regelungen auf bestehende Schaltnetzteil-topologien anwenden lassen. Neue Prozesstechnologien auf Mikrocontroller-Basis bieten hier nun erste Lösungen für den Massenmarkt.

In vielen Schaltnetzteilen werden Mikrocontroller eingesetzt, um zusätzliche Funktionalitäten zu erzeugen. Hier unterscheidet man im Wesentlichen zwischen additiven, manipulativen und konstruktiven Konzepten. Als additives Konzept bezeichnet man das Ergänzen der bestehenden Schaltung mit zusätzlichen Funktionen, wie z. B. Power Good-Indikation, Temperaturüberwachung oder Ferndiagnose per digitaler Kommunikation. In manipulativen Systemen übernehmen Controller zusätzliche Aufgaben, wie intelligentes Sequencing, koordiniertes Anfahren mehrerer Wandlerstufen oder den Abgleich von Zwischenkreis- und Ausgangsspannungen. Diese Funktionen entstehen durch die Manipulation des Referenzeingangs des Schaltreglers oder den Einsatz dynamischer Komponenten im Feedback-Zweig, wie z. B. Digital/Analog-Wandler (DAC), programmierbare Operationsverstärker (PGA) oder digitale Potentiometer. Generell bleibt bei additiven und manipulativen Konzepten die Regelschleife und Topologie jedoch unverändert bestehen und somit der konventionelle Leistungspfad gleich.

AUTOR

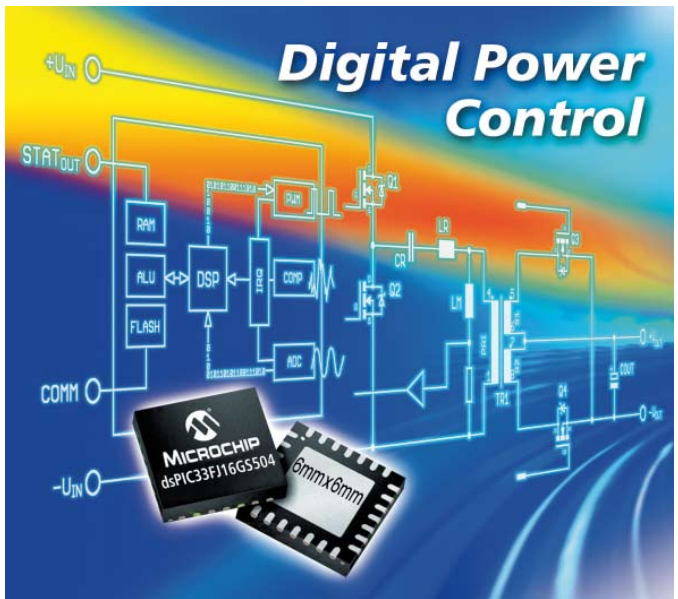


Dipl.-Ing. (FH) PhT Andreas Reiter ist Applikationsingenieur bei der Hy-Line Power Components GmbH und zuständig für die Bereiche Motion Control und Switch Mode Power Supplies.

Konstruktive Schaltungskonzepte gehen hier noch einen Schritt weiter. Um die Reglerfunktionalität zu erweitern wird eine Eingriffsmöglichkeit in die Kernschaltung selbst erforderlich. Durch die vollständige Integration frei programmierbarer Komponenten, die sowohl die Signalerzeugung (Schaltfrequenz) als auch die Signalerfassung (Feedback) mit einschließen, streben voll-digitale Systeme den vollständigen Umbau der Regelschleife an und greifen zum Teil auch wesentlich in die Topologie selbst ein. Als Ergebnis erhält man eine flexible Plattform für angepassten Hardwareaufbau und Freiräume für logische Kombinationen von Funktionsabläufen, die nicht-linear auf den jeweiligen Betriebszustand angepasst und zur Laufzeit modifiziert werden können.

Prozessoren als universelle Schaltregler-Instanz

Die Hardwaregrundlage für ein passendes Regler-Element findet man bei Prozessoren der mittleren Leistungsklasse. Die große Stärke digitaler Prozessoren liegt in der Erzeugung der Schaltfrequenz. Leistungsstarke Timer-Architekturen mit einem Grundtakt von 100 MHz und höher eignen sich bestens für die Erzeugung hochauflösender PWM-Signale, deren Pulsbreite frei nach Bedarf über den gesamten Bereich von 0 ... 100 % flexibel eingestellt werden können. Zusätzlich zur Pulsbreite ermöglicht die Kernkonfiguration der Zeitbasis von Timern auch eine freie Anpassung der Taktfrequenz. Zur Erzeugung von Totzeiten in



Halb- und Vollbrückenschaltungen können die Module über erweiterte Registersätze ergänzt und synchronisiert werden. Auch komplexe Funktionen, wie die Kombination fixierter On- und flexibler Off-Zeiten in quasi-resonanten Systemen für Zero Current Transmission (ZCT) oder Zero Voltage Transmission (ZVT), werden somit möglich und lassen sich auf Prozessebene optimal abbilden.

Mathematische Abbildung der Regelschleife

Um dieses flexible Schaltsignalsystem optimal anwenden zu können, wird eine Komponente benötigt, die den aktuellen Zustand des Systems zunächst abbildet, anschließend analysiert und zuletzt die Einstellungen des Taktgenerators möglichst echtzeitgetreu modifiziert. Das Schaltsignal wird direkt aus dem Prozessorkern getrieben und eingestellt. Der Grundtakt des Prozessorkerns befindet sich also auf der gleichen Zeitbasis wie die Grundfrequenz des Schaltsignals. Hierdurch wird eine Synchronisation zwischen Firmware-Routinen und den Schaltprozessen möglich. Die verwendeten Regelalgorithmen können demnach zeitgenau und zyklusweise über den nächsten Schaltimpuls bestimmen und dessen Form und Dauer festlegen. Eine grundlegende Bedingung für einen reibungslosen Ablauf der Regelung ist allerdings, dass die Berechnung der Algorithmen so schnell wie möglich erfolgt und so der Zeitversatz zwischen Statuserfassung und dem Setzen der Parameter minimiert

wird. Dies wird durch den Einsatz von speziellen Rechenkernen, sog. digitalen Signalprozessoren (DSP), erreicht. Hierbei handelt es sich um digitale Rechenregister, die für die Verarbeitung von Algorithmen optimiert sind und in wenigen Prozessorzyklen auch komplexe und umfangreichere Berechnungen abwickeln können, ohne die Sprungantwort des Systems spürbar zu verzögern.

Die Krux mit der „Quantisierung“

Die Qualität der Regelung hängt grundsätzlich von der Qualität der Erfassung des aktuellen Systemzustands ab – der Regler kann nur auf das reagieren, was er auch „sieht“. Die Erfassung des Systemzustands muss also zuverlässig und möglichst schnell erfolgen. Konventionelle Schaltregler erfüllen diese Aufgabe bestens, da die Feedbacksignale direkt auf den Taktgenerator wirken und so selbst Ereignisse kürzester Dauer berücksichtigt werden. Die Reaktionszeit liegt hier typischerweise stabil zwischen 20 und 200 ns (= Schaltzeit eines oder mehrerer High Speed-Komparatoren). Bei Prozessoren liegt zwischen der Signalerfassung und der Berücksichtigung des Messwerts durch die Regelung die Hürde der Quantisierung, also der Umstand, dass analoge Signale über AD-Wandler eingelesen werden müssen, um verarbeitet werden zu können. Ein quantisierter Datenstrom muss so hoch aufge-

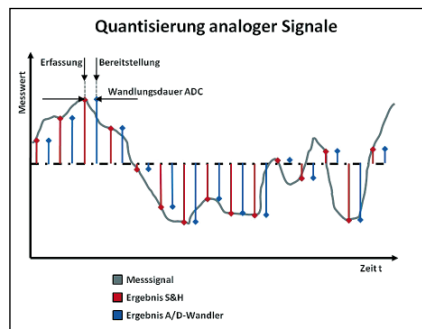


Bild 1: Phasenverschiebung und Messgenauigkeit quantisierter Werte

löst sein, dass die Rekonstruktion des Originalsignals möglich wird. Zwar kann ein analoger Messwert mit den S&H-Gliedern eines AD-Wandlers binnen weniger Nanosekunden erfasst werden, die anschließende Wertwandlung jedoch benötigt die vielfache Zeit. AD-Wandler zählen bei Mikrocontrollern und Prozessoren zu den kostenintensiven Peripherien. Deshalb werden auf den meisten Prozessoren und Controllern nur ein bis zwei ADCs integriert und die verschiedenen Eingänge über Multiplexer auf ein einzelnes S&H-Glied aufgeschaltet. Hierdurch ergeben sich bei der Wandlung mehrerer Signale oft Varianzen zwischen Messzeitpunkt und der Weitergabe des Messwerts an den Prozessorkern. Diese Varianzen müssen in Echtzeitanwendungen gegen Null tendieren, um die Qualität der Regelung nicht negativ zu beeinflussen (Bild 1).

In der Praxis bedeutet das, dass die Messfrequenz des AD-Wandlers die Schaltfrequenz um ein Vielfaches übersteigen muss, um brauchbare Ergebnisse zu liefern. Bei einer Schaltfrequenz von 500 kHz wäre z. B. eine Abtast-Geschwindigkeit von mindestens 10 ... 15 MS/s erforderlich, um die Ergebnisqualität auch bei erhöhtem Signalrauschen auf ein brauchbares Maß zu bringen. Rechnet man von dieser Anforderung zurück auf die erforderliche Prozessorplattform, erhält man als Ergebnis Prozessoren mit mindestens 400 MHz Grundtakt. Der Einsatz dieser Prozessorklasse würde im Design allerdings einige zusätzliche Schwierigkeiten bergen:

Zunächst würde die Eigenstromaufnahme eines Prozessors bei ca. 0,6 bis 0,8 mA/MHz \times 400 MHz = 240 ... 320 mA liegen. Hinzu kommt, dass Prozessoren dieser Klasse i. d. R. mindestens zwei verschiedene Versorgungsspannungen hoher Güte benötigen, was die Schaltung der Regelschleife erheblich aufbläht und preislich im bis zu zweistelligen Euro-Bereich angesiedelt sind. Obwohl der deutliche Mehraufwand beim Einsatz dieser Prozessortypen in Stromversorgungen mit hohen Leistungen im oberen Preissegment durchaus gerechtfertigt sein kann, empfiehlt sich bei einfacheren oder kleineren Designs diese Problematik auf andere Weise zu lösen. ►

Anwendungsoptimierte Digitale Signal-Controller (DSC)

Will man nun die Vorteile digitaler Regelschleifen in kleineren, konventionellen Schaltnetzteilen der mittleren Leistungsklasse integrieren, muss das Problem der Quantisierung zufriedenstellend gelöst werden, um die Anforderungen an die Prozessorkomponente stark abzusenken und so Stromaufnahme und Komplexität der Schaltung der Regelschleife auf ein vernünftiges Maß zu reduzieren.

Ein gut funktionierender Ansatz besteht hier im Einsatz von anwendungsoptimierten digitalen Signal Controllern (DSC). Im Hause Microchip Technology wurde mit der dsPIC33FJ16GS-Serie eine stark optimierte Architektur für den Einsatz in Schaltnetzteilen entwickelt, die es ermöglicht, diese Lücke zu schließen. Der wesentliche Unterschied zwischen DSP und DSC besteht in der Ausstattung der Peripherie. Bei DSCs wird eine Kombination von elementaren, analogen Schaltreglerfunktionen und Prozessorkern verwendet, um das Problem der zeitkritischen Quantisierung ohne Abstriche bei der Regelqualität zu mindern oder ganz zu umgehen. Zudem ist ein DSC im Grunde immer noch ein klassischer Mikrocontroller, dessen robuste Grundstruktur eine deutlich einfachere Integration in die Regelschleife erlaubt (**Bild 2**).

Die Switch Mode Power Supply (SMPS)-Architektur des dsPIC33F setzt auf eine sinnvolle Aufgabenverteilung zwischen eigenständiger, elementarer Schaltreglerfunktion und optimierter Prozessorarchitektur, um zeitkritische Prozesse mit möglichst geringen Ressourcen zuverlässig und effektiv abarbeiten zu können.

Zentrale Bestandteile der SMPS-Peripherie sind hierbei ein hochauflösendes 4 x 2-Kanal PWM-Modul, eine Anordnung schneller 20 ns-Komparatoren und die paarweise Anordnung von AD-Wandler-Eingängen. Der interessanteste Ansatzpunkt dieser SMPS-Peripherie besteht in der direkten

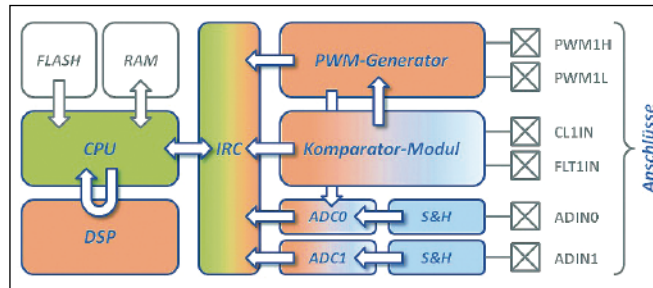


Bild 2: Struktur der SPMS-Peripherie des dsPIC33FJ16GS

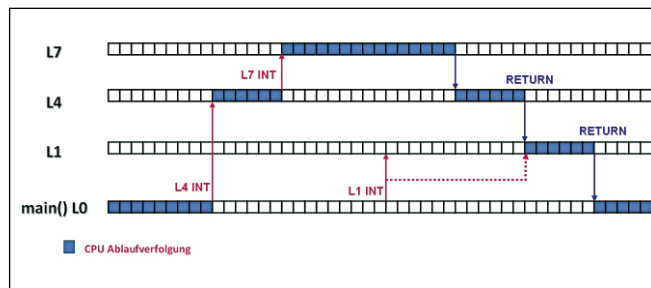


Bild 3: Multi-Level Interrupt Nesting

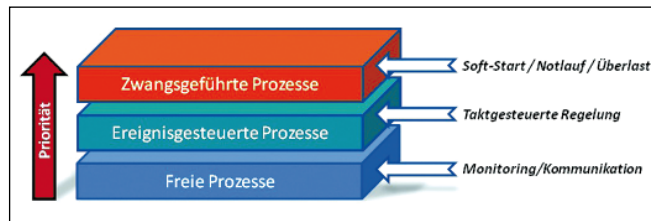


Bild 4: Klassifizierung der Ablaufprozesse

Verbindung von Komparatoren und PWM-Generator. Durch diese Verbindung wird der Taktgenerator, ebenso wie beim konventionellen Schaltregler, hardwareseitig direkt getriggert und so eine direkte Einwirkung von Feedback-Signalen auf den Signalgenerator ermöglicht. Mit diesen Komparatoren werden schnelle Prozesse, wie das Erreichen eines Spitzenwerts in Current Peak-Regelungen oder Nulldurchgänge bei ZCT und ZVT, detektiert und der aktuelle Impuls umgehend und ohne Beteiligung der Firmware beendet oder invertiert. Um die Detektion von Ereignissen möglichst flexibel zu gestalten, sind die invertierenden Eingänge der Komparatoren mit eigenständigen 10-Bit-DA-Wandlern ausgestattet. Diese können direkt aus der Firmware programmiert werden und ermöglichen so die Anpassung der Schwellwerte binnen weniger Mikrosekunden.

Der Einsatz dieser Komparatorschaltung verändert den Aufgabenbereich der Firm-

ware grundsätzlich. Die Firmware muss nun nicht mehr ein analoges Signal umfassend abtasten und bewerten, um über das Beenden des aktuellen Schaltimpulses zu entscheiden, sondern nur noch die maximal zulässige Dauer des Impulses in Abhängigkeit des aktuellen Lastzustandes und die Höhe des Komparator-Schwellwerts festlegen. Die Zyklus-für-Zyklus-Regelung wird nun vollständig vom Komparatormodul übernommen und die Problematik der zeitkritischen Quantisierung ist weitgehend entschärft.

Flexible Signal- und Ereignis-Trigger

Betrachtet man Komparatoren als 1-Bit-AD-Wandler, bieten diese die schnellste Möglichkeit der Überführung eines analogen Signals auf die digitale Ebene. Zudem lassen sich die logischen Ausgangssignale von Komparatoren sehr leicht in Prozessorarchitekturen integrieren. Auf dieser Ebene können

nicht nur Hardware-Peripherien, wie der PWM-Generator, direkt getaktet werden, sondern auch die Ausführung von Firmware-Routinen.

Der dsPIC33F verfügt über einen speziellen Interrupt Controller (IRC), der als Trigger-Schnittstelle zwischen den eigenständigen Peripherie-Modulen und dem Prozessorkern fungiert. Diese integrierte „Ereignisüberwachung“ lässt sich nun an verschiedene digitale Prozesse ketten, um Regelschritte im richtigen Moment ausführen zu können. Jedes Ereignis wird als Interrupt-Vektor bezeichnet. Auf dem dsPIC33F stehen 118 verschiedene Interrupt-Vektoren zur Verfügung, das heißt, dass es möglich ist, Ereignisse aus 118 verschiedenen Quellen als Trigger zu verwenden. Um während der Abarbeitung eines untergeordneten Ereignisses nicht zu spät auf übergeordnete, wichtigere Ereignisse zu reagieren, unterstützt der IRC sog. Interrupt-Nesting, also das vorgezogene Bearbeiten eines Ereignisses,

obwohl die Bearbeitung eines bereits früher eingetretenen Ereignisses noch nicht abgeschlossen ist (**Bild 3**). Es stehen bis zu 8 verschiedene Prioritätsebenen zur Verfügung, die zur Laufzeit beliebig gesetzt, verändert oder aufgehoben werden können. Mit dieser Technik wird wirksam verhindert, dass Ereignisse von geringer Bedeutung wichtige Regelschritte blockieren.

Aufgabenverteilung innerhalb des DSCs

Die verfügbaren Interrupt-Quellen können sowohl externen, als auch internen Ursprungs sein. Die Firmware reagiert also nicht nur auf das Umschalten von Komparatoren, sondern lässt sich z. B. auch an bestimmte Zeitpunkte innerhalb des aktiven Schaltzyklus binden oder durch das Beenden einer Analog/Digital-Wandlung triggern. Da nur ein Teil der während des Betriebs des Netzteils zu bearbeitenden Ereignisse periodisch und linear ablaufen, ist es wichtig kritische Ereignisse, wie z. B. bei Überlastfällen, zu jedem Zeitpunkt erfassen und bearbeiten zu können. Die Ablaufsteuerung der Firmware ist deshalb vollständig ereignisbasierend, um ein Maximum an Performance des Gesamtsystems zu erzielen.

Der Aufbau der Firmware folgt dem Schema Konfiguration (Einstellen und Starten der Hardware-Peripherie), Systemkonditionierung (Selbstprüfung, Sequencing und Soft-Start), Regelung (Einstellen und Erhalten des Betriebszustandes) und Notlauf (z. B. Überlasterkennung und

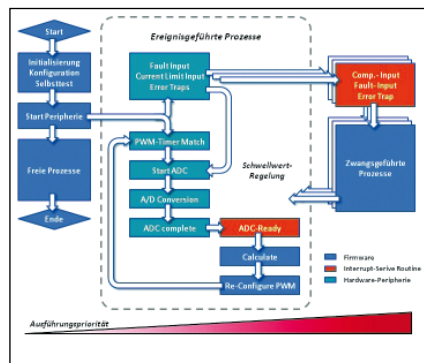


Bild 5: Aufteilung der Einzelaufgaben auf die Prozessklassen

-behandlung) (**Bild 4**). Hinzu kommen untergeordnete Aufgaben wie Kommunikation, Temperaturüberwachung und allgemeines System-Monitoring. Bei der Erstellung eines Timing-Schemas, also der Zuordnung, wann welche Aufgaben erledigt werden müssen, ist es sinnvoll die anfallenden Aufgaben entsprechend zu klassifizieren. Man unterscheidet ereignisgeführte Prozesse (z. B. Regelung), zwangsgeführte Prozesse (Soft-Start, Sequencing oder Notlauf-Routinen) und freie Prozesse (z. B. Temperaturüberwachung).

Bei ereignisgeführten Prozessen wird die Hardware-Peripherie verwendet, um den Prozessorkern bei periodisch wiederkehrenden Aufgaben zu entlasten und Bearbeitungen nur dann stattfinden zu lassen, wenn sie erforderlich sind. Die Notwendigkeit Ereignisse durch Abtasten eines Zustands zu erkennen (sog. Pollen) entfällt. Der Gültigkeitsbereich und damit der Funktionsraum werden durch die Konfi-

guration der Peripherie vorgegeben. Funktionsparameter, wie z. B. die Einstellung des maximalen Tastverhältnisses werden nur bei Bedarf, wie z. B. bei größeren Lastwechseln, modifiziert. Ereignisgeführte Prozesse werden i. d. R. in Interrupt-Service-Routinen (ISR) mittlerer Priorität verankert (**Bild 5**).

Liegt ein Systemzustand außerhalb der normalen Gültigkeitsgrenzen, z. B. bei Überlast oder beim Systemstart, werden zwangsgeführte Prozesse aktiviert, die eine Änderung der grundsätzlichen Funktionsparameter, wie z. B. Änderungen der Current-Peak-Schwellwerte, durchführen.

Abschließend werden in die Firmware meist noch Routinen für freie Prozesse integriert. Hierzu zählen alle Housekeeping-Aufgaben, die nicht direkt im Zusammenhang mit der Regelung stehen, bzw. deren Erfassung und Bearbeitung keine oder nur sehr geringe Echtzeitanforderungen stellen. Hierzu gehören Temperaturüberwachungen, Betriebsstundenzähler, Kommunikation und Funktionsindikation. Die entsprechenden Firmware-Routinen platziert man i. d. R. im Hauptprogramm oder in den Interrupt-Service-Routinen freier Timer und konfiguriert diese mit niedriger Priorität. (jj)